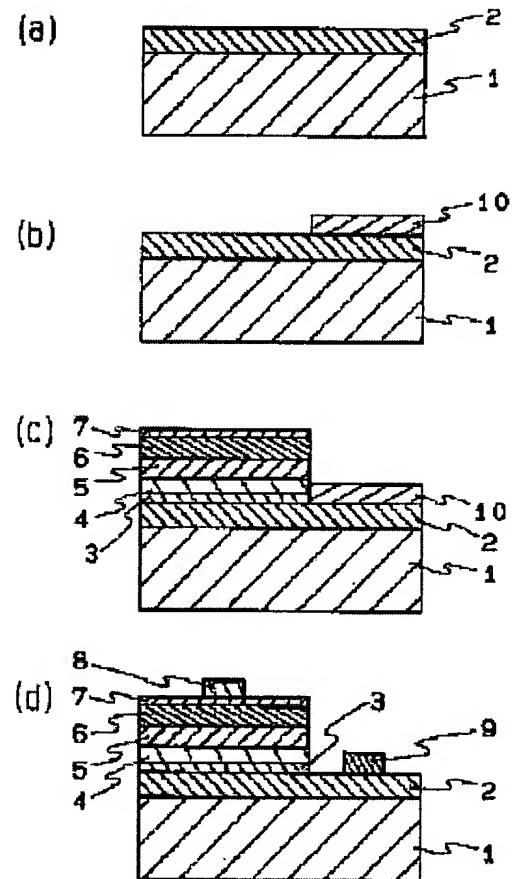


FABRICATION OF SEMICONDUCTOR LIGHT EMITTING ELEMENT

Patent number: JP8255929
Publication date: 1996-10-01
Inventor: SONOBE MASAYUKI
Applicant: ROHM CO LTD
Classification:
 - international: H01L33/00; H01S3/18
 - european:
Application number: JP19950057689 19950316
Priority number(s):

Abstract of JP8255929

PURPOSE: To enhance the electric characteristics and emission performance by preventing damage or contamination due to dry etching.
CONSTITUTION: The method for fabrication a semiconductor light emitting element comprises a step (a) for forming a gallium nitride based compound semiconductor layer of one conductivity type on a substrate 1, a step (b) for covering the layer of one conductivity type partially with a mask 10, a step (c) for epitaxially growing gallium nitride based compound semiconductor layers 3, 4, 5, 6 including at least a layer of the other conductivity type on the layer of one conductivity type covered with no mask, and a step (d) for removing the mask and providing n-side and p-side electrodes 9, 8 on the layers of one and the other conductivity types exposed by removing the mask.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-255929

(43)公開日 平成8年(1996)10月1日

(51)Int.Cl.⁶

識別記号 庁内整理番号

F I

技術表示箇所

H 01 L 33/00

H 01 L 33/00

C

H 01 S 3/18

H 01 S 3/18

審査請求 未請求 請求項の数4 OL (全5頁)

(21)出願番号

特願平7-57689

(71)出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(22)出願日 平成7年(1995)3月16日

(72)発明者 園部 雅之

京都市右京区西院溝崎町21番地 ローム株式会社内

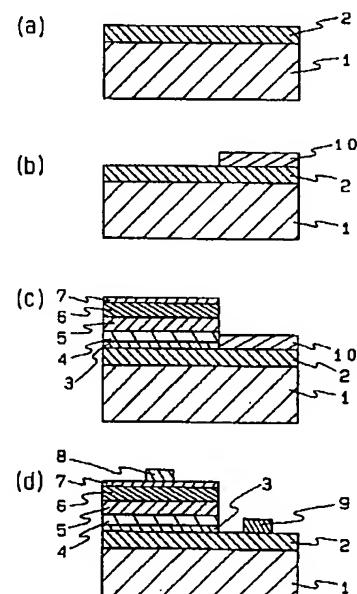
(74)代理人 弁理士 河村 利 (外2名)

(54)【発明の名称】 半導体発光素子の製法

(57)【要約】

【目的】 ドライエッチングによるダメージやコンタミネーションの付着を防止し、電気特性および発光効率の向上した半導体発光素子の製法を提供する。

【構成】 (a) 基板1上にチッ化ガリウム系化合物半導体からなる一方の導電型層を成膜し、(b) 該一方の導電型層の一部をマスク10で覆い、(c) 該マスクで覆われない前記一方の導電型層上に少なくとも他の導電型層を含むチッ化ガリウム系化合物半導体層3、4、5、6をエピタキシャル成長し、(d) 前記マスクを除去し、該マスクの除去により露出した前記一方の導電型層および前記他の導電型層にそれぞれn側およびp側の電極9、8を設けることにより発光素子のチップを形成する。



1 基板 8 p型クラッド層
4 n型クラッド層 7 キャップ層
5 活性層 10 マスク

【特許請求の範囲】

【請求項1】 (a) 基板上にチッ化ガリウム系化合物半導体からなる一方の導電型層を成膜し、(b) 該一方の導電型層の一部をマスクで覆い、(c) 該マスクで覆われない前記一方の導電型層上に少なくとも他の導電型層を含むチッ化ガリウム系化合物半導体層をエピタキシャル成長し、(d) 前記マスクを除去し、該マスクの除去により露出した前記一方の導電型層および前記他の導電型層にそれぞれn側およびp側の電極を設けることにより発光素子のチップを形成する半導体発光素子の製法。

【請求項2】 前記一方の導電型層の成膜をチッ化ガリウム系化合物半導体の多結晶膜で成膜し、該多結晶膜の一部を前記マスクで覆ったのち該多結晶膜を高温にして単結晶化し、該単結晶化して前記マスクで覆われない前記一方の導電型層上に前記半導体層をエピタキシャル成長する請求項1記載の半導体発光素子の製法。

【請求項3】 前記一方の導電型層がチッ化ガリウム系化合物半導体からなるn型バッファ層で、前記一方の導電型層上に積層されるチッ化ガリウム系化合物半導体からなるエピタキシャル成長層が少なくともn型クラッド層、活性層、p型クラッド層を含む層である請求項1または2記載の半導体発光素子の製法。

【請求項4】 前記一方の導電型層がチッ化ガリウム系化合物半導体からなるn型バッファ層で、前記一方の導電型層上に積層されるチッ化ガリウム系化合物半導体からなるエピタキシャル成長層が少なくともn型層とp型層とのpn接合を有する層を含むものである請求項1または2記載の半導体発光素子の製法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体発光素子の製法に関する。さらに詳しくは、青色発光に好適なチッ化ガリウム系化合物半導体を用いた半導体発光素子の製法に関する。

【0002】 ここにチッ化ガリウム系化合物半導体とは、III族元素のGaとV族元素のNとの化合物またはIII族元素のGaの一部がAl、Inなど他のIII族元素と置換したものおよび/またはV族元素のNの一部がP、Asなど他のV族元素と置換した化合物からなる半導体をいう。

【0003】 また、半導体発光素子とは、pn接合またはダブルヘテロ接合を有する発光ダイオード（以下、LEDという）、スーパーバルミネッセントダイオード（SLD）または半導体レーザダイオード（以下、LDという）などの光を発生する半導体素子をいう。

【0004】

【従来の技術】 従来青色のLEDは赤色や緑色に比べて輝度が小さく実用化に難点があったが、近年チッ化ガリウム系化合物半導体を用い、Mgをドーパントした低抵

抗のp型半導体層がえられたことにより、輝度が向上し脚光をあびている。

【0005】 ところで、チッ化ガリウム系のLEDの製法はつぎに示されるような工程で行われ、その完成したチッ化ガリウム系化合物半導体の斜視図を図3に示す。

【0006】 まず、サファイア（Al₂O₃単結晶）などからなる基板21に400～700℃の低温で有機金属化合物気相成長法（以下、MOCVD法という）によりキャリアガスH₂とともに有機金属化合物ガスである

10 トリメチルガリウム（以下、TMGという）、NH₃およびドーパントとしてのSiH₄などを供給し、n型のGaN層からなる低温バッファ層22を0.01～0.2μm程度形成し、ついで900～1200℃の高温で同じガスを供給し同じ組成のn型のGaNからなる高温バッファ層23を2～5μm程度形成する。

【0007】 ついで前述のガスにさらにトリメチルアルミニウム（以下、TMAという）の原料ガスを加え、n型ドーパントのSiを含有したn型Al_xGa_{1-x}N（0<x<1）層を成膜し、ダブルヘテロ接合形成のためのn型クラッド層24を0.1～0.3μm程度形成する。

【0008】 つぎに、バンドギャップエネルギーがクラッド層のそれより小さくなる材料、たとえば前述の原料ガスのTMAに代えてトリメチルインジウム（以下、TMIという）を導入し、Ga_yIn_{1-y}N（0<y≤1）からなる活性層25を0.05～0.1μm程度形成する。

【0009】 さらに、n型クラッド層24の形成に用いたガスと同じ原料のガスで不純物原料ガスをSiH₄に代えてp型不純物としてMgまたはZnをビスシクロペンタジエニルマグネシウム[Mg(C₅H₅)₂]（以下、Cp₂Mgという）またはジメチル亜鉛（以下、DMZnという）として加えて反応管に導入し、p型クラッド層26であるp型Al_xGa_{1-x}N層を気相成長させる。これらのn型クラッド層24と活性層25とp型クラッド層26とによりダブルヘテロ接合が形成される。

【0010】 ついでキャップ層27形成のため、前述のバッファ層23と同様のガスで不純物原料ガスとしてCp₂MgまたはDMZnを供給してp型のGaN層を0.3～1μm程度成長させる。

【0011】 そののちSiO₂やSi₃N₄などの保護膜を半導体層の成長層表面全面に設け、400～800℃、15～60分間程度アーニルを行い、p型クラッド層26およびキャップ層27の活性化を図る。

【0012】 ついで、保護膜を除去したのち、n側の電極を形成するため、レジストを塗布してパターニングを行い、成長した各半導体層の一部をエッチング除去してn型層であるクラッド層24またはバッファ層23を露出させる。エッチングは硝酸とリン酸の混合液によるウ

エットエッティングかまたはC₁₂とBC₁₃の混合ガスなどを導入した塩素系プラズマによる反応性イオンエッティングであるドライエッティングにより行われる。

【0013】ついで、Au、Alなどの金属膜をたとえば蒸着、スペッタリングなどにより形成してp側およびn側の両電極29、30を形成し、ダイシングすることによりLEDチップを形成している。

【0014】前述のチッ化ガリウム系化合物半導体を用いた半導体発光素子の製法では、前述のように、基板としてサファイア基板を用いているため、裏面から電極をとることができず、積層された半導体層の一部をエッティングしてn型半導体層であるクラッド層24またはバッファ層23を露出させ、その露出面にn側電極30を設けている。このエッティングはウエットエッティングにより行うと250℃以上の高温で、10～30分間の長時間行わなければならず、またエッティング面の垂直性がえられないという理由からドライエッティングが一般に用いられている。

【0015】

【発明が解決しようとする課題】しかし、前述のチッ化ガリウム系化合物半導体をドライエッティングによりエッティングすると、イオン衝撃による半導体層の表面がダメージを受けること、半導体層の組成にAlが存在するとC₁とAlとが化合して塩化アルミニウムが生成され、エッティングにより露出した面に付着してコンタミネーションとなる。塩化アルミニウムがエッティングにより露出した表面で電極が設けられる場所に付着すると電極との接触抵抗が増大したり、側壁に付着すると発生する光の出力を低下させたり、散乱させたりするという問題がある。

【0016】さらに、C₁₂ガスは一般に有毒で、取扱いが難しいという問題がある。

【0017】本発明はこのような問題を解決し、ドライエッティングによるダメージやコンタミネーションの付着を防止し、電気特性および発光効率の向上した半導体発光素子の製法を提供することを目的とする。

【0018】

【課題を解決するための手段】本発明の半導体発光素子の製法は、(a) 基板上にチッ化ガリウム系化合物半導体からなる一方の導電型層を成膜し、(b) 該一方の導電型層の一部をマスクで覆い、(c) 該マスクで覆われない前記一方の導電型層に少なくとも他の導電型層を含むチッ化ガリウム系化合物半導体層をエピタキシャル成長し、(d) 前記マスクを除去し、該マスクの除去により露出した前記一方の導電型層および前記他の導電型層にそれぞれn側およびp側の電極を設けることを特徴とする。

【0019】前記一方の導電型層の成膜をチッ化ガリウム系化合物半導体の多結晶膜で成膜し、該多結晶膜の一部を前記マスクで覆ったのち該多結晶膜を高温にして單

結晶化し、該単結晶化して前記マスクで覆われない前記一方の導電型層に前記半導体層をエピタキシャル成長することが、高温のエピタキシャル成長中にマスク形成工程を入れなくてもよいため好ましい。

【0020】前記一方の導電型層がチッ化ガリウム系化合物半導体からなるn型バッファ層で、前記一方の導電型層に積層されるチッ化ガリウム系化合物半導体からなるエピタキシャル成長層が少なくともn型クラッド層、活性層、p型クラッド層を含む層であることが、発

10 光効率の高い半導体発光素子がえられるため好ましい。前記一方の導電型層がチッ化ガリウム系化合物半導体からなるn型バッファ層で、前記一方の導電型層に積層されるチッ化ガリウム系化合物半導体からなるエピタキシャル成長層が少なくともn型層とp型層とのpn接合を有する層を含むものであることが、簡単な構成で半導体発光素子がえられるため好ましい。

【0021】

【作用】本発明の半導体発光素子の製法によれば、バッファ層の一部をSiO₂膜などのマスクにより覆ってマ

20 スクされていない部分にのみn型層およびp型層をエピタキシャル成長させるので、SiO₂膜などの非晶質体には半導体のエピタキシャル成長はされず付着しない。その結果、マスクのない部分のみに半導体層が成長し、そのちマスクを除去することにより、n側電極を形成することができ、チッ化ガリウム系化合物半導体層を反応性イオンエッティングなどのエッティングを行わなくてすみ、半導体層の組成にかかわらず、コンタミネーションの問題がなく低抵抗の電極形成ができる。

【0022】

30 【実施例】つぎに添付図面を参照しながら本発明の半導体発光素子の製法を説明する。

【0023】図1は本発明の半導体発光素子の製法の一実施例の工程断面説明図、図2は本発明の半導体発光素子の製法の他の実施例の工程断面説明図である。

【0024】実施例1

まず、図1(a)に示されるように、サファイアなどからなる基板1に、MOCVD法により、たとえばキャリアガスのH₂にTMGとNH₃の反応ガスを導入し、400～700℃で反応させてn型GaNなどのチッ化ガリウム系半導体層からなる低温バッファ層2を0.01～0.2μm程度成膜する。

【0025】つぎに、MOCVD装置から基板を取り出し、CVD法により、半導体層の表面全面にSiO₂膜またはSi₃N₄膜などからなるマスク10を成膜する。マスク10の成膜は0.1～0.5μm程度設ければよい。つぎに通常のフォトリソグラフィ工程により積層された半導体層をエッティングする部分のみにマスク10を残し、その他の部分をエッティングにより除去する(図1(b)参照)。

50 【0026】つぎに、900～1200℃程度の高温に

し、5～30分間保持することにより低温バッファ層2を単結晶化させる。そのうち900～1200℃の高温に維持したまま低温バッファ層2の形成と同じ原料ガスを導入して反応させると、図1(c)に示されるように、エッチングによりマスク10が除去された部分にn型GaNの単結晶が成長し、高温バッファ層3を2～4μm程度設ける。この際、反応ガスによる成膜は、本来全面で行われるが、SiO₂やSi₃N₄などからなるマスク10は表面が単結晶になっておらず結晶成長が起らない。そのためマスク10上にはチッ化ガリウム系化合物半導体層は成長せず、マスク10が除去されて低温バッファ層2が露出した部分のみに成長する。

【0027】つぎに前述のガスにさらにTMAを追加してn型Al_xGa_{1-x}N(0<x<1)からなるn型クラッド層4を0.1～0.3μm程度形成し、さらに不純物原料ガスを止め、かつ、TMAに代えてTM_Iを導入し、ノンドープまたはn型もしくはp型の活性層5を0.05～0.1μm程度形成する。

【0028】さらに、n型クラッド層4の形成に用いたガスと同じ原料ガスで不純物原料ガスをSiH₄などに代えてCp₂MgまたはDMZnを供給してp型Al_xGa_{1-x}Nからなるp型クラッド層6を0.1～0.3μm程度、同様にp型GaNからなるキャップ層7を0.3～1μm程度成長させる。

【0029】これらのチッ化ガリウム系化合物半導体層は全て前述の高温バッファ層3上に単結晶として成長するため、マスク10よりも上層でマスクがなくなった部分に成膜されるばあいでもマスク10上には成膜されないで、マスクのない部分のみに真っ直ぐ上方に成膜される。

【0030】そのうちSiO₂やSi₃N₄などの保護膜を半導体層の成長層表面全面に設け、400～800℃、20～60分間程度のアニールを行い、p型クラッド層6およびキャップ層7の活性化を図る。

【0031】アニールが完了すると、温度を室温まで下げる、保護膜およびマスク10をフッ酸またはフッ酸とフッ化アンモニウム混合溶液(バッファードフッ酸)によるウエットエッチングにより除去する。

【0032】ついで図1(d)に示されるように、Au、Alなどの金属膜をスパッタリングなどにより設け、積層された化合物半導体層の表面でp型層に電気的に接続されるp側電極8、露出した低温バッファ層2の表面でn型層に電気的に接続されるn側電極9を形成する。つぎに、各チップにダイシングして、LEDチップが形成される。

【0033】実施例2

実施例1ではダブルヘテロ接合のLEDであったが、図2に示されるように、pn接合のばあいも同様に製造することができる。

【0034】すなわち、実施例1と同様にMOCVD法

により成膜されたn型GaNからなる低温バッファ層2(図2(a)参照)の表面にCVD法によりSiO₂などからなるマスク10を0.1～0.5μm程度成膜し、n側電極の形成に必要な部分のみを残し、その他の部分をエッチング除去する(図2(b)参照)。その後、MOCVD法により、たとえばn型Al_uGa_{1-u}N(0<u<1)からなるn型層14を2～4μm程度およびたとえばp型GavIn_{1-v}N(0<v≤1)からなるp型層16を0.5～2μm程度、前述と同様のガスにより成長する(図2(c)参照)。

【0035】ついで、マスク10をフッ酸またはフッ酸とフッ化アンモニウム混合溶液によるウエットエッチングにより除去し、Au、Alなどからなる金属膜をスパッタリングなどにより形成し、p側電極18、n側電極19を形成し(図2(d)参照)、各チップにダイシングして、pn接合型のLEDチップが形成される。

【0036】前記各実施例では低温バッファ層2を設けた状態でマスク10を設けているが、この工程でマスク10を設けることにより、マスク10を設けるためにM

OCD装置から取り出す際の温度変化が、400～700℃の低温から室温への変化であるため好ましい。しかし低温バッファ層3は薄く抵抗が大きくなること、基板との不整により結晶欠陥や転位が生じ易く電流が流れにくくなること、などのため電極間抵抗が増加し易い。そこで、n側電極9に接続されるn型層の抵抗を充分小さくするため低温バッファ層2上にさらに900～1200℃の高温で単結晶層からなる高温バッファ層3の一部または全部を設けたのち一旦室温まで下げてMOCVD装置から取り出し、マスク10を設けてよい。

【0037】さらに、前記各実施例ではダブルヘテロ接合とヘテロpn接合のLEDであったが、ホモpn接合LEDや種々の構造のレーザダイオードなどのチッ化ガリウム系化合物半導体からなる発光素子についても同様である。またチッ化ガリウム系半導体も前述の組成の材料に限定されず、一般にAl_pGa_qIn_{1-p-q}N(0≤p<1、0<q≤1、0<p+q≤1)からなり、たとえば活性層のバンドギャップエネルギーがクラッド層のバンドギャップエネルギーより小さくなるように各組成の比率を選定し、p、qの選定により組成を変化させたものでもよい。また、前記Al_pGa_qIn_{1-p-q}NのNの一部または全部をAsおよび/またはPなどで置換した材料でも同様に本発明を適用できる。

【0038】

【発明の効果】本発明の半導体発光素子の製法によれば、作業が難しいエッチング工程が不要となり、工程を大幅に削減できる。さらにドライエッチングによるコンタミネーションの付着を避けることができるため発光効率がよく、安定した発光量で信頼性のある半導体発光素子をううことができる。

50 【図面の簡単な説明】

【図1】本発明の半導体発光素子の製法の一実施例を示す工程断面説明図である。

【図2】本発明の半導体発光素子の製法の他の実施例を示す工程断面説明図である。

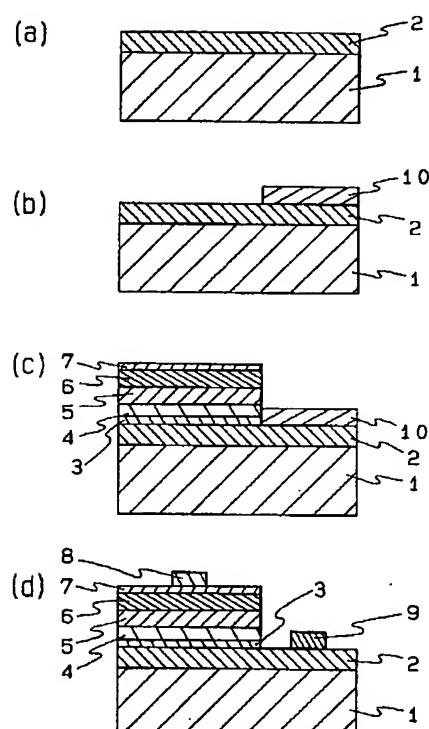
【図3】従来の半導体発光素子の一例を示す斜視図である。

【符号の説明】

1 基板

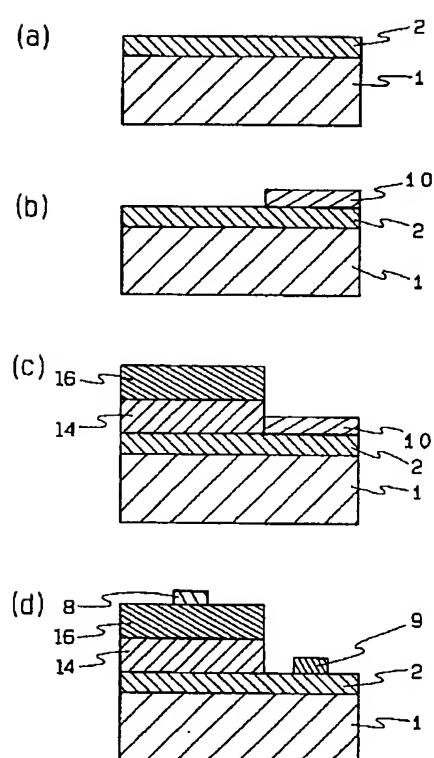
- 4 n型クラッド層
- 5 活性層
- 6 p型クラッド層
- 7 キャップ層
- 10 マスク
- 14 n型層
- 16 p型層

【図1】



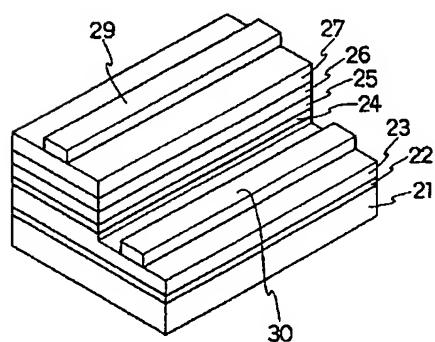
- 1 基板
- 4 n型クラッド層
- 5 活性層
- 6 p型クラッド層
- 7 キャップ層
- 10 マスク

【図2】



- 1 基板
- 10 マスク
- 14 n型層
- 16 p型層

【図3】



PATENT ABSTRACTS OF JAPAN

(11) Publication number : **08-255929**
 (43) Date of publication of application : **01.10.1996**

(51) Int.CI. H01L 33/00
 H01S 3/18

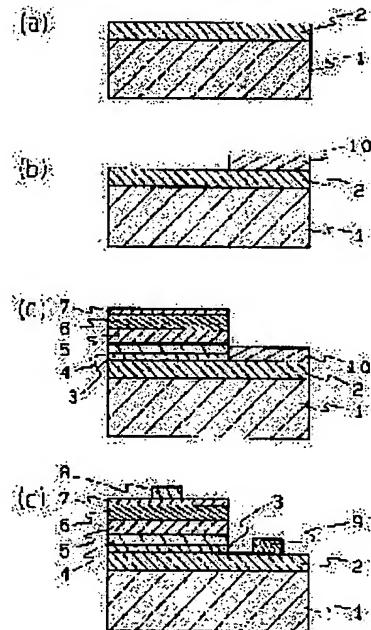
(21) Application number : **07-057689** (71) Applicant : **ROHM CO LTD**
 (22) Date of filing : **16.03.1995** (72) Inventor : **SONOBE MASAYUKI**

(54) FABRICATION OF SEMICONDUCTOR LIGHT EMITTING ELEMENT

(57) Abstract:

PURPOSE: To enhance the electric characteristics and emission performance by preventing damage or contamination due to dry etching.

CONSTITUTION: The method for fabrication a semiconductor light emitting element comprises a step (a) for forming a gallium nitride based compound semiconductor layer of one conductivity type on a substrate 1, a step (b) for covering the layer of one conductivity type partially with a mask 10, a step (c) for epitaxially growing gallium nitride based compound semiconductor layers 3, 4, 5, 6 including at least a layer of the other conductivity type on the layer of one conductivity type covered with no mask, and a step (d) for removing the mask and providing n-side and p-side electrodes 9, 8 on the layers of one and the other conductivity types exposed by removing the mask.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2000 Japan Patent Office